

CLIPPEDIMAGE= JP02000252461A

PAT-NO: JP02000252461A

DOCUMENT-IDENTIFIER: JP 2000252461 A

TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE

PUBN-DATE: September 14, 2000

INVENTOR-INFORMATION:

NAME	COUNTRY
ARAI, KAZUO	N/A
YOSHIDA, SADAJI	N/A
NAGAI, KIYOKO	N/A
SEKIKAWA, TOSHIHIRO	N/A
FUKUDA, KENJI	N/A

INT-CL (IPC): H01L029/78; H01L021/316 ; H01L021/324

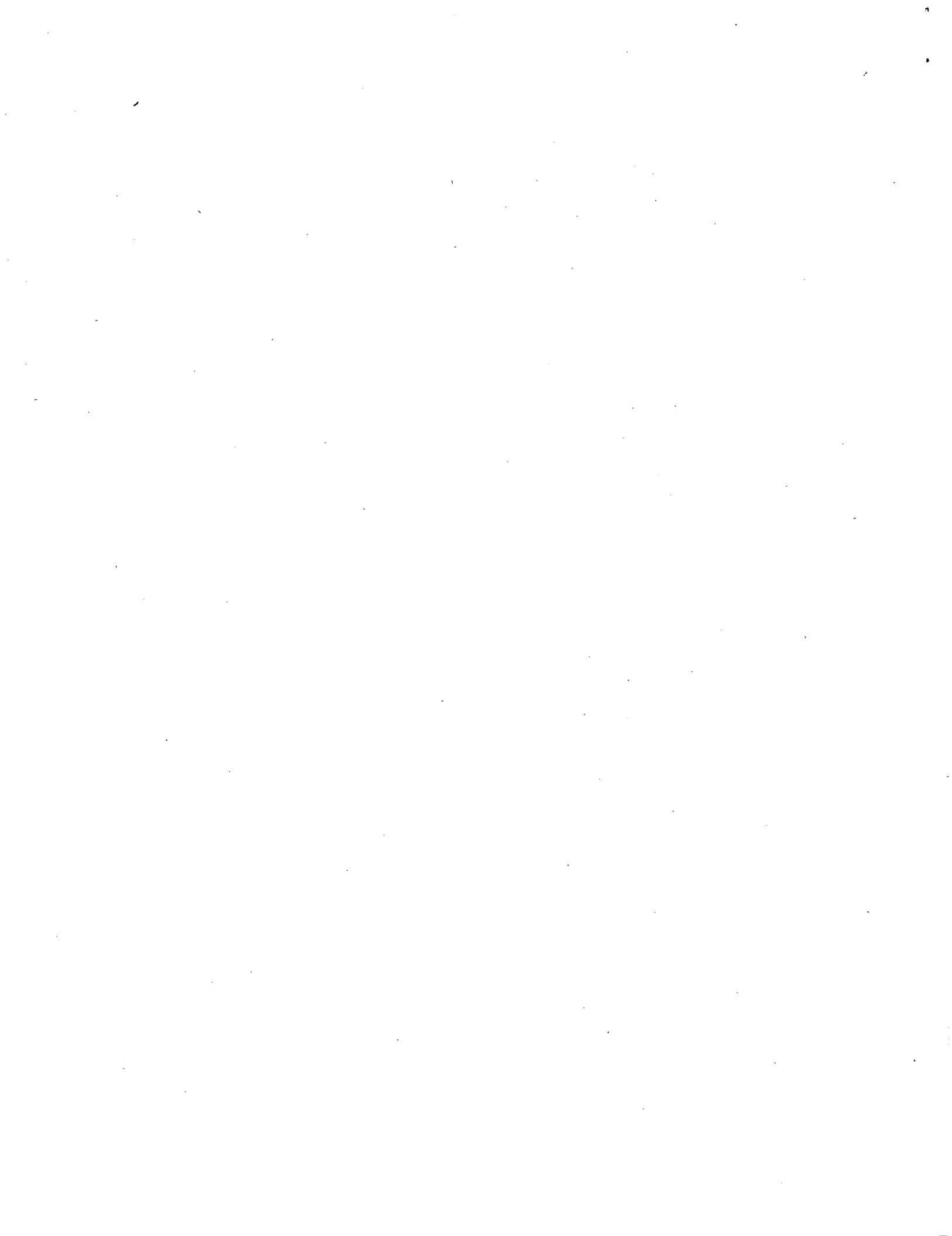
ABSTRACT:

PROBLEM TO BE SOLVED: To provide a MOS capacitor of interface level density by forming at least one layer of oxide film and nitride film as a gate insulating film on a semiconductor substrate comprising a silicon carbide on the top layer before annealing in the atmosphere containing hydrogen at a temperature in specified range.

SOLUTION: On a semiconductor substrate comprising a silicon carbide(SiC) on its top, at least one layer of gate insulating film comprising oxide film and nitride film is formed for annealing in the atmosphere containing hydrogen at 600-1600.

COPYRIGHT: (C)2000, JPO

----- KWIC -----

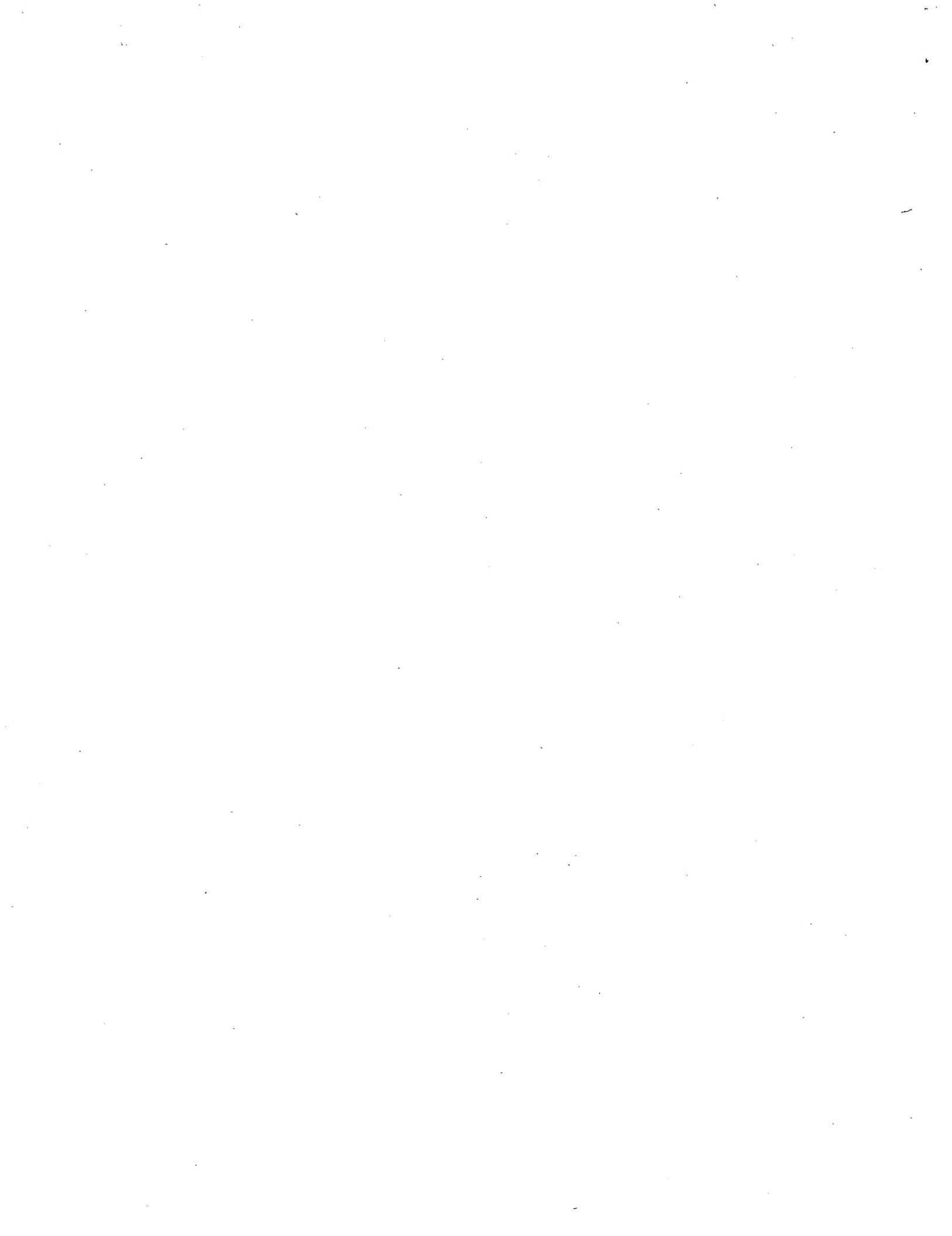


Abstract - FPAR:

PROBLEM TO BE SOLVED: To provide a MOS capacitor of interface level density by forming at least one layer of oxide film and nitride film as a gate insulating film on a semiconductor substrate comprising a silicon carbide on the top layer before annealing in the atmosphere containing hydrogen at a temperature in specified range.

Abstract - FPAR:

SOLUTION: On a semiconductor substrate comprising a silicon carbide(SiC) on its top, at least one layer of gate insulating film comprising oxide film and nitride film is formed for annealing in the atmosphere containing hydrogen at 600-1600



* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the manufacture method of the semiconductor device in which the low good gate insulator layer and silicon-carbide interface of interface level density were formed, in a semiconductor device, a semiconductor integrated circuit, etc. which carried the metal-oxide-film-semiconductor (MOS) structure where the silicon carbide was used as a semiconductor, or the MOS electric field effect type transistor.

[0002]

[Description of the Prior Art] The interface level density generated in the gate insulator layer / silicon-carbide interface which is a wide gap semiconductor, and which was formed on the silicon-carbide substrate (SiC substrate) is high 1 or more figures, and has become one of the causes of low channel mobility from the interface level density which generates a silicon substrate in the gate oxide film / silicon interface which oxidized thermally and was formed.

[0003] Moreover, it is with the MOS capacitor usually produced using the silicon substrate. Although the interface level density generated in a gate oxide film / silicon interface by carrying out hydrogen annealing at 400 degrees C, and carrying out termination of the dangling bond is reduced and it is made form a good interface, even if it carries out annealing at 400 degrees C with the MOS capacitor produced using the silicon-carbide substrate, there is no conspicuous effect which reduces the interface level density generated in a gate insulator layer / silicon-carbide interface.

[0004]

[Problem(s) to be Solved by the Invention] Then, termination of the uncombined hand of the silicon or carbon followed and kicked to the MOS capacitor interface produced using the silicon-carbide substrate in this invention is carried out, and it aims at forming a good interface with low interface level density.

[0005] In order to solve the above technical problem, invention-in-this-application persons found out wholeheartedly that the MOS capacitor of interface level density was obtained by annealing the MOS capacitor produced using the silicon-carbide substrate in the atmosphere containing the hydrogen under an elevated temperature as a result of research.

[0006]

[Means for Solving the Problem] This invention proposes the manufacture method of a semiconductor device of annealing in the atmosphere which contained hydrogen in 600-1600 degrees C, after forming more than two-layer [of an oxide film and/ or a nitride / one layer or two-layer] as a gate insulator layer on the semiconductor substrate which has a silicon carbide in the best layer at least based on the above-mentioned knowledge.

[0007] In addition, although there are very many polytypes, such as 3 C-SiC, 4 H-SiC, 6 H-SiC, and 15 R-SiC, in a silicon carbide (SiC), as long as the silicon carbide used as a semiconductor substrate in this invention is SiC, the thing of which type is sufficient as it.

[0008] Moreover, as long as the best layer is SiC, the structure which has 3 C-SiC on Si, and the structure which has 3 C-SiC on 6 H-SiC or 4 H-SiC are sufficient as the structure of a semiconductor substrate.

[0009] As an oxide film or a nitride, although a silicon oxide or a silicon nitride is common, which oxide film or nitrides, such as an aluminum oxide film, a tantalum-oxide film, an aluminum nitride film produced on another conditions, and a gallium nitride, are sufficient, without being limited to this.

[0010] As a method of carrying out the laminating of the oxide film on a silicon-carbide substrate, although an oxide film may be formed by the forming-membranes method on a silicon-carbide substrate, a silicon-carbide substrate may be oxidized thermally and an oxide film may be formed.

[0011] When forming a silicon oxide on a silicon-carbide substrate by the forming-membranes method, for example, after forming silicon on a silicon-carbide substrate by the MBE method (the Molecular beam epitaxy method) or CVD (chemistry gaseous-phase method), you may oxidize thermally and form and a silicon oxide may be formed by CVD and the SOG method (the spin on glass method).

[0012] On the other hand, as a method of carrying out the laminating of the nitride, the LPCVD method (low voltage chemistry gaseous-phase method) and plasma nitriding are employable on a silicon-carbide substrate.

[0013]

[Function] That is, after forming the gate insulator layer which consists of an oxide film or a nitride on a silicon-carbide (SiC) substrate, by annealing in the atmosphere containing 600 degrees C - 1600 degrees C hydrogen, termination of the dangling bond of the silicon which exists in an insulator layer / silicon-carbide interface, or carbon can be carried out, it can reduce interface

level density, and can form a good interface.

[0014] Since the melting point of the silicon oxide which the termination of the dangling bond of the silicon which exists in a gate insulator layer / silicon-carbide interface, or carbon is not fully made, and is used as for example, a gate insulator layer was 1600 degrees C when annealing below 600 degrees C, the annealing temperature was made into the range of 600 degrees C - 1600 degrees C.

[0015] Moreover, the hydrogen pressure force in the case of hydrogen annealing is at 0.1Pa or less. since there is no effect it is too low and a dangling bond carries out [an effect] termination, and the hydrogen pressure force returned oxygen from the silicon oxide which the hydrogen pressure force is too high in the hydrogen pressure force being more than an ordinary pressure (1.01×10^5 Pa) again, for example, is used as a gate insulator layer, reduced the membranous quality of an oxide film and caused the fall of a dielectric breakdown voltage, the hydrogen pressure force was made into the range of 0.1Pa - 1.01×10^5 Pa

[0016] Moreover, hydrogen annealing by this invention can be performed in mixed-gas atmosphere with inert gas, such as the others, hydrogen and inert gas in hydrogen gas especially nitrogen, an argon, and helium.

[0017] in this case, hydrogen concentration is too low in the pressure of gas atmosphere being fixed to an ordinary pressure (1.01×10^5 Pa), and the hydrogen concentration (hydrogen flow rate/(hydrogen flow rate + inert gas flow rate)) in mixed gas being below 0.5 %, and a dangling bond carries out termination -- it is ineffective and hydrogen concentration was made into 0.5% - 100% of range

[0018] Furthermore, since annealing time was too short in hydrogen annealing time being 10 or less seconds, and could not fully carry out the termination of the dangling bond, and the oxygen of the silicon oxide too long [in annealing time being 3 hours or more / annealing] and used as a gate insulator layer was returned, the membranous quality of an oxide film deteriorated and the fall of a dielectric breakdown voltage was caused, annealing time was made into the range of 10 seconds - 3 hours.

[0019]

[Example] Hereafter, the example of this invention is shown.

The sacrifice oxide film was formed after the usual RCA washing, and the 18 degree OFF 4 H-SiC EPI substrate (0001) (Si side, n type, Nd-Na= 1×10^{16} /cm³) of examples was removed by HF. Subsequently, after forming a 36nm - 50nm oxide film by dry oxidization at 1100 degrees C, it quenched from 1100 degrees C to the room temperature. Then, temperature was changed to 400 degrees C - 1000 degrees C, and hydrogen annealing was performed for 30 minutes. The hydrogen pressure force was 5.6×10^3 Pa at 1000 degrees C. Finally aluminum was used for the gate electrode and the ohmic contact, and the MOS capacitor was produced.

[0020] It is hydrogen annealing in the RF ($f=100$ kHz) valve flow coefficient property which drawing 1 is the cross section showing typically the MOS capacitor obtained in the example 1, and measured drawing 2 using this MOS capacitor.

[0021] valve flow coefficient and IV property are measured on condition that darkness in the box of the shielded metal, and the dashed line of the left-hand side in drawing 2 is an ideal curve calculated from the oxide-film capacity of 25V, and Nd-Na= 1×10^{16} /cm³. A right-hand side dashed line is a valve flow coefficient characteristic curve when not carrying out hydrogen annealing, and the solid line inserted with the right-hand side dashed line and the left-hand side dashed line is a valve flow coefficient characteristic curve at the time of carrying out hydrogen annealing from right-hand side, respectively at 400 degrees C, 500 degrees C, 600 degrees C, 700 degrees C, and 1000 degrees C.

[0022] Among drawing, the thing with the actually measured value lower than the calculated value when a gate voltage is lower than -5V has very few minority carriers generated at a room temperature for the wide gap of 4 H-SiC, and is because it will not be in equilibrium.

[0023] moreover, valve flow coefficient characteristic curve (right-hand side dashed line) when not carrying out hydrogen annealing -- setting -- a flat-band-voltage shift -- 15.7V -- very much -- large -- going and return of a gate voltage -- about 1 -- the hysteresis of V is shown and this means that there is very much interface level density

[0024] In valve flow coefficient characteristic curve of the solid line inserted with the right-hand side dashed line and the left-hand side dashed line, although a flat-band-voltage shift decreases when hydrogen annealing is carried out at 400 degrees C - 500 degrees C, since the value is large and a hysteresis is also large, it cannot still be used in fact.

[0025] On the other hand, when hydrogen annealing is carried out at 600 degrees C, a hysteresis disappears mostly, and when it is in the state where it can actually be used and hydrogen annealing is carried out at 1000 degrees C, a hysteresis disappears and approaches an ideal curve.

[0026] In addition, although a hysteresis disappearing completely and approaching an ideal curve further was expected when hydrogen annealing was carried out above 1000 degrees C, since the melting point of the silicon oxide currently generally used as a gate insulator layer was 1600 degrees C, the range of an annealing temperature was made into 600 degrees C - 1600 degrees C.

[0027]

[Effect of the Invention] Above, in short, according to this invention, interface level density can fully be reduced and good insulator layer / silicon-carbide interface which is fully equal to actual use can be acquired by carrying out termination of the silicon which exists in a gate insulator layer / silicon-carbide interface, or the carbonaceous tangling bond from hydrogen.

[Translation done.]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公報番号

特開2000-252461

(P2000-252461A)

(43)公開日 平成12年9月14日 (2000.9.14)

(51)Int.Cl'

H01L 29/78
21/316
21/324

識別記号

F I

H01L 29/78
21/316
21/324

テマコード(参考)

S 01 G 5 F 0 4 0
P 5 F 0 5 8
Z

審査請求 有 請求項の数3 OL (全5頁)

(21)出願番号

特願平11-52396

(22)出願日

平成11年3月1日 (1999.3.1)

特許法第30条第1項適用申請有り 1998年9月7日～9月10日 開催の「Extended Abstracts of the 1998 International Conference on SOLID STATE DEVICES AND MATERIALS」において文書をもって発表

(71)出願人 000001144

工業技術院長

東京都千代田区霞が関1丁目3番1号

(74)上記1名の指定代理人 220000356

工業技術院電子技術総合研究所長 (外1名)

(71)出願人 581045482

新エネルギー・産業技術総合開発機構

東京都豊島区東池袋3丁目1番1号

(74)上記1名の代理人 100083884

弁理士 田中 昭雄

(72)発明者 荒井 和雄

茨城県つくば市海陽1丁目1番4 工業技術院電子技術総合研究所内

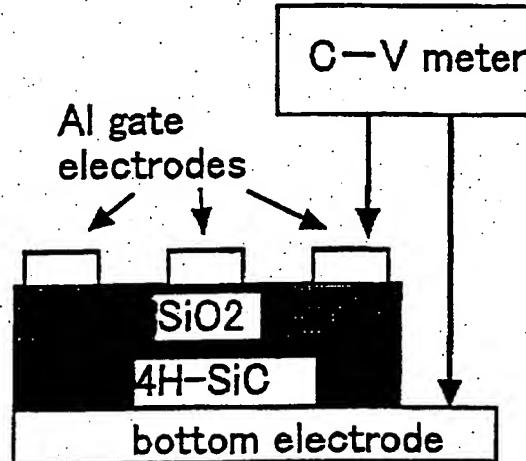
最終頁に続く

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【解決手段】少なくとも最上層に炭化珪素を有する半導体基板上に、ゲート絶縁膜として酸化膜及び/或は窒化膜の1層又は2層以上を形成した後、600～1600°Cの範囲で水素を含んだ雰囲気でアニールする。

【効果】ゲート絶縁膜/炭化珪素界面に存在するシリコン或は炭素のタングリングボンドを水素で終端することにより、界面準位密度を十分に減らして、実際の使用に十分に耐える良好なゲート絶縁膜/炭化珪素界面を得ることができる。



【特許請求の範囲】

【請求項1】少なくとも最上層に炭化珪素を有する半導体基板上に、ゲート絶縁膜として酸化膜及び／或は塗化膜の1層又は2層以上を形成した後、600～1600°Cの範囲で水素を含んだ雰囲気でアニールすることを特徴とする半導体装置の製造方法。

【請求項2】水素圧力を $0.1\text{Pa} \sim 1.01 \times 10^5\text{Pa}$ にした請求項1記載の方法。

【請求項3】ガス雰囲気の圧力を常圧 ($1.01 \times 10^5\text{Pa}$) に固定して、水素濃度（水素流量／（水素流量+不活性ガス流量））が0.5%～100%にした請求項1記載の方法。

【請求項4】不活性ガスとして、窒素、アルゴン、ヘリウムを使用する請求項3記載の方法。

【請求項5】アニール時間を10秒～3時間にした請求項1或は請求項2或は請求項3或は請求項4記載の方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、半導体として炭化珪素を用いた、金属-酸化膜-半導体（MOS）構造、或はMOS電界効果型トランジスタを搭載した半導体装置、半導体集積回路等において、界面準位密度の低い良好なゲート絶縁膜と炭化珪素界面を形成するようにした半導体装置の製造方法に関するものである。

【0002】

【従来の技術】ワイドギャップ半導体である、炭化珪素基板（SiC基板）上に形成されたゲート絶縁膜／炭化珪素界面に発生する界面準位密度は、シリコン基板を熱的に酸化して形成された、ゲート酸化膜／シリコン界面に発生する界面準位密度より1桁以上高く、低チャネル移動度の原因の一つとなっている。

【0003】また、通常シリコン基板を用いて作製されたMOSキャバシタでは、400°Cで水素アニールをして、ダングリングボンドを終端することによりゲート酸化膜／シリコン界面に発生する界面準位密度を低減して良好な界面を形成するようしているが、炭化珪素基板を用いて作製されたMOSキャバシタでは、400°Cでアニールをしてもゲート絶縁膜／炭化珪素界面に発生する界面準位密度を低減するような際立った効果がない。

【0004】

【発明が解決しようとする課題】そこで、この発明においては炭化珪素基板を用いて作製されたMOSキャバシタ界面において、シリコン或は炭素の未結合手を終端して、界面準位密度の低い良好な界面を形成することを目的とする。

【0005】以上の課題を解決するため、本願発明者らは鋭意研究の結果、炭化珪素基板を用いて作製されたMOSキャバシタを、高温下の水素を含んだ雰囲気でアニールすることにより、界面準位密度のMOSキャバシタが得られることを見出したのである。

【0006】

【課題を解決するための手段】この発明は、上記知見に基づいて少なくとも最上層に炭化珪素を有する半導体基板上に、ゲート絶縁膜として酸化膜及び／或は塗化膜の1層又は2層以上を形成した後、600～1600°Cの範囲で水素を含んだ雰囲気でアニールする半導体装置の製造方法を提案するものである。

【0007】なお、炭化珪素（SiC）には、3C-SiC、4H-SiC、6H-SiC、15R-SiCなど非常に多くのポリタイプがあるが、この発明において半導体基板として使用する炭化珪素はSiCであれば、何れのタイプのものでもよい。

【0008】また、半導体基板の構造は最上層がSiCであれば、Si上に3C-SiCがある構造、6H-SiCや4H-SiCの上に3C-SiCがある構造でもよい。

【0009】酸化膜乃至塗化膜としては、シリコン酸化膜乃至シリコン塗化膜が一般的であるが、これに限定されことなく、アルミニウム酸化膜、タンタル酸化膜、別の条件で作製した塗化アルミニウム膜、ガリウム塗化膜など何れの酸化膜乃至塗化膜でもよい。

【0010】炭化珪素基板上に酸化膜を積層する方法としては、炭化珪素基板上に成膜法により酸化膜を形成してもよいが、炭化珪素基板を熱的に酸化して酸化膜を形成してもよい。

【0011】成膜法により炭化珪素基板上にシリコン酸化膜を形成する場合にも、例えばシリコンをMBE法（Molecular beam epitaxy法）やCVD法（化学気相法）で炭化珪素基板上に形成した後に、熟酸化して形成してもよく、またシリコン酸化膜をCVD法や、SOG法（spin on glass法）で形成してもよい。

【0012】一方、炭化珪素基板上に塗化膜を積層する方法としては、LPCVD法（低圧化学気相法）やプラズマ塗化法を採用することができる。

【0013】

【作用】即ち、炭化珪素（SiC）基板上に酸化膜或は塗化膜からなるゲート絶縁膜を形成した後、600°C～1600°Cの水素を含んだ雰囲気でアニールすることにより、絶縁膜／炭化珪素界面に存在するシリコン或は炭素のダングリングボンドが消滅され、界面準位密度を低減して良好な界面を形成することができる。

【0014】600°C以下でアニールする場合には、ゲート絶縁膜／炭化珪素界面に存在するシリコン或は炭素のダングリングボンドの終端が十分になされず、また例えばゲート絶縁膜として使用されるシリコン酸化膜の融点が1600°Cであるため、アニール温度を600°C～1600°Cの範囲とした。

【0015】また、水素アニールの際の水素圧力は 0.1Pa 以下では、水素圧力が低すぎてダングリングボンドが終端する効果がなく、また水素圧力が常圧 ($1.01 \times 10^5\text{Pa}$) 以上であると、水素圧力が高すぎて例えばゲート絶縁膜として使用されるシリコン酸化膜から酸素を還元し

て、酸化膜の膜質を低下させて、絶縁破壊電圧の低下を招くので、水素圧力を $0.1\text{Pa} \sim 1.01 \times 10^5\text{Pa}$ の範囲とした。

【0016】また、この発明による水素アニールは、水素ガス中の他、水素と不活性ガス、特に窒素、アルゴン、ヘリウム等の不活性ガスとの混合ガス雰囲気中で行うことができる。

【0017】この場合ガス雰囲気の圧力を常圧($1.01 \times 10^5\text{Pa}$)に固定して、混合ガスにおける水素濃度(水素流量/(水素流量+不活性ガス流量))が0.5%以下であると、水素濃度が低すぎて、ダングリングボンドが終端する効果がなく、水素濃度を0.5%~100%の範囲とした。

【0018】更に、水素アニール時間が10秒以下であると、アニール時間が短すぎてダングリングボンドが十分に終端できず、またアニール時間が3時間以上あると、アニール時間が長すぎてゲート絶縁膜として使用されるシリコン酸化膜の酸素が還元され、酸化膜の膜質が低下し、絶縁破壊電圧の低下を招くので、アニール時間を10秒~3時間の範囲とした。

【0019】

【実施例】以下、この発明の実施例を示す。

実施例1

8°オフ4H-SiCエビ基板((0001)Si面、n型、 $\text{Nd-Na}=1 \times 10^{16}/\text{cm}^3$)を通常のRCA洗浄後、犠牲酸化膜を形成し、HFで除去した。次いで、1100°Cでドライ酸化により36nm~50nmの酸化膜を形成した後、1100°Cから室温まで急冷した。その後、水素アニールを、温度を400°C~1000°Cまで変えて30分間行った。水素圧力は1000°Cで $5.6 \times 10^3\text{Pa}$ だった。最終的にAlをゲート電極とオーミックコンタクトに用いてMOSキャバシタを作製された。

【0020】図1は、実施例1で得られたMOSキャバシタを模式的に示す断面図であり、図2はこのMOSキャバシタを用いて測定した高周波($f=100\text{kHz}$)CV特性における水素アニール温度効果を示すものである。

【0021】CV、IV特性は、シールドされた金属の箱の中で、暗闇の条件で測定され、図2中左側の破線は、25Vでの酸化膜容量と $\text{Nd-Na}=1 \times 10^{16}/\text{cm}^3$ から計算された理想曲線であり、右側の破線は水素アニールをしな

い場合のCV特性曲線であり、右側の破線と左側の破線で挟まれた実線は右側より400°C、500°C、600°C、700°C、1000°Cで水素アニールした場合のCV特性曲線である。

【0022】図中、ゲート電圧が-5Vより低い場合に、計算された値より、実際に測定された値が低いのは、4H-SiCのワイドギャップのために、室温で発生する少数キャリアが非常に少なく、平衡状態にならないためである。

【0023】また、水素アニールをしない場合のCV特性曲線(右側の破線)において、フラットバンド電圧シフトは、15.7Vと非常に大きく、ゲート電圧の行きと帰りで約1Vのヒステリシスを示しており、これは、界面準位密度が非常に多いことを意味している。

【0024】右側の破線と左側の破線で挟まれた実線のCV特性曲線においては、400°C~500°Cで水素アニールした場合にはフラットバンド電圧シフトが減少するが、依然としてその値は大きく、且つヒステリシスも大きいので、実際には使用できない。

【0025】一方、600°Cで水素アニールした場合には、ほぼヒステリシスが消失し、実際に使用できる状態にあり、1000°Cで水素アニールした場合にはヒステリシスは消失して理想曲線に近づく。

【0026】なお、1000°C以上で水素アニールした場合にはヒステリシスが完全に消失して理想曲線に更に近づくことが予想されるが、一般にゲート絶縁膜として使用されているシリコン酸化膜の融点は1600°Cであるので、アニール温度の範囲を600°C~1600°Cとした。

【0027】

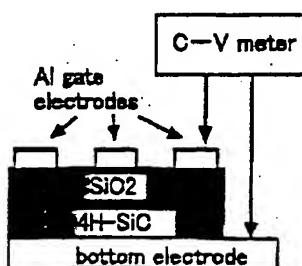
【発明の効果】以上要するに、この発明によればゲート絶縁膜/炭化珪素界面に存在するシリコン或は炭素のタンクリングボンドを水素で終端することにより、界面準位密度を十分に減らして、実際の使用に十分に耐える良好な絶縁膜/炭化珪素界面を得ることができる。

【図面の簡単な説明】

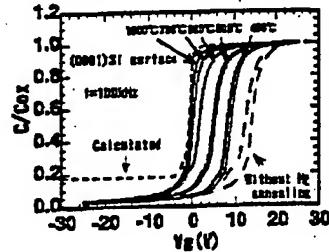
【図1】容量-電圧特性の評価に使用したMOS構造の断面模式図

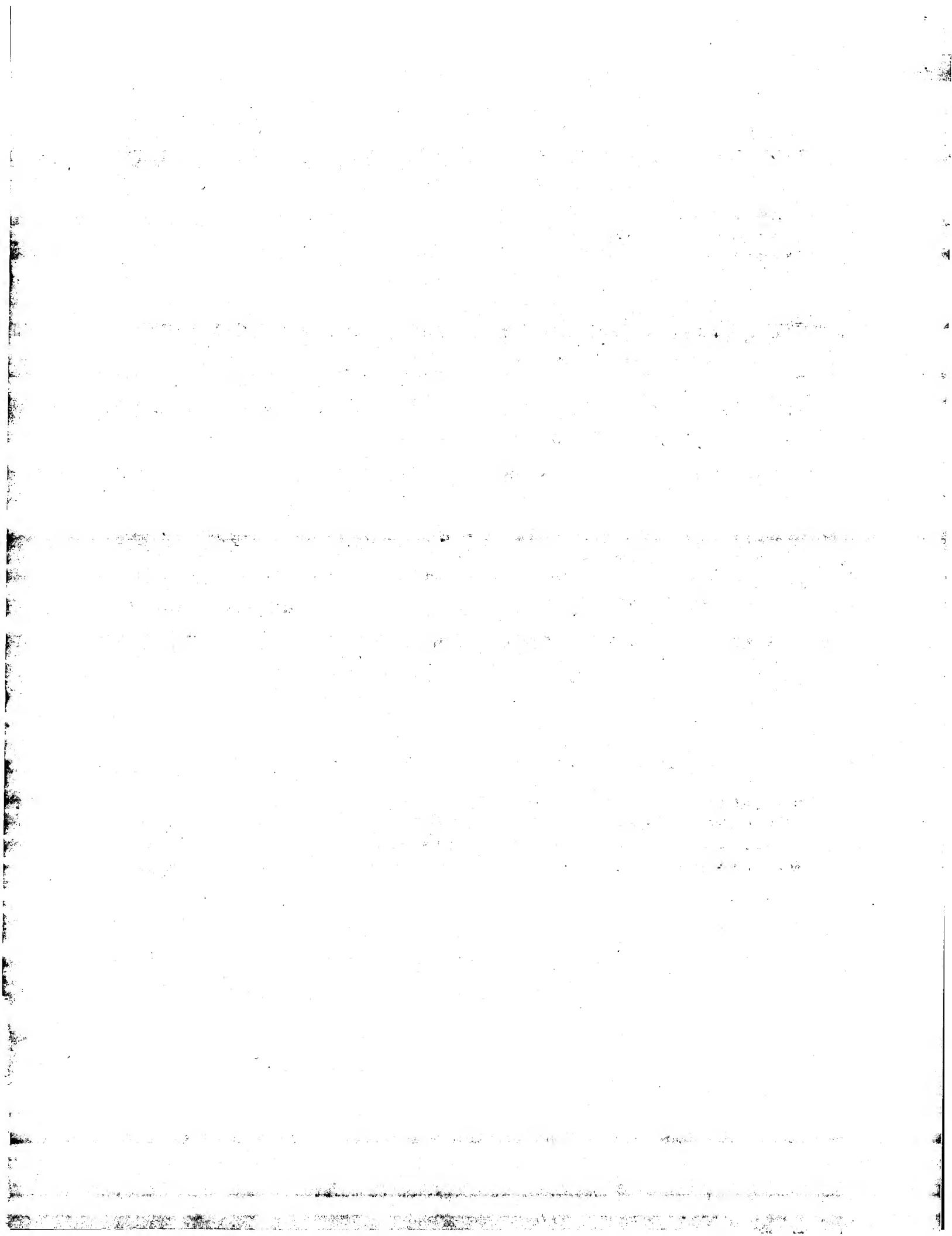
【図2】高周波CV特性に対する水素アニールの温度効果を示す図

【図1】



【図2】





【手続補正】

【提出日】平成11年12月20日(1999.12.20)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 少なくとも最上層に炭化珪素を半導体基板上に、ゲート絶縁膜として酸化珪素を形成した後、600～1000°Cの範囲で水素を含んだ雰囲気でアニールしてゲート絶縁膜と炭化珪素との界面準位密度を低減するようにしたことを特徴とする半導体装置の製造方法。

【請求項2】 水素圧力を0.1Pa～1.01×10⁵Paにした請求項1記載の方法。

【請求項3】 ガス雰囲気の圧力を常圧(1.01×10^5 Pa)に固定して、水素濃度(水素流量/(水素流量+不活性ガス流量))が0.5%～100%にした請求項1記載の

方法。

【請求項4】 不活性ガスとして、窒素、アルゴン、ヘリウムを使用する請求項3記載の方法。

【請求項5】 アニール時間を10秒～3時間にした請求項1或は請求項2或は請求項3或は請求項4記載の方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正内容】

【0014】なお、ゲート絶縁膜としてシリコン酸化膜を使用する場合には、シリコン酸化膜の融点が1600°Cであるため、アニールは600°C～1600°Cの範囲で可能であるが、後述する本願発明者らの実験結果に依れば、最適アニール温度は600°C～1000°Cである。

【手続補正書】

【提出日】平成12年5月29日(2000.5.29)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 少なくとも最上層に炭化珪素を有する半導体基板上に、ゲート絶縁膜として酸化珪素を形成した後、600～1000°Cの範囲で水素を含み、且つ水素圧力を0.1Pa～1.01×10⁵Paにした雰囲気で10秒～3時間アニールしてゲート絶縁膜と炭化珪素との界面準位密度を低減するようにしたことを特徴とする半導体装置の製造方法。

【請求項2】 ガス雰囲気の圧力を常圧(1.01×10^5 Pa)に固定して、水素濃度(水素流量/(水素流量+不活性ガス流量))が0.5%～100%にした請求項1記載の

方法。

【請求項3】 不活性ガスとして、窒素、アルゴン、ヘリウムを使用する請求項記載の方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0006

【補正方法】変更

【補正内容】

【0006】

【課題を解決するための手段】この発明は、上記知見に基づいて少なくとも最上層に炭化珪素を有する半導体基板上に、ゲート絶縁膜として酸化珪素を形成した後、600～1000°Cの範囲で水素を含み、且つ水素圧力を0.1Pa～1.01×10⁵Paにした雰囲気で10秒～3時間アニールしてゲート絶縁膜と炭化珪素との界面準位密度を低減するようにした半導体装置の製造方法を提案するものである。

フロントページの続き

(72)発明者 吉田 貞史

茨城県つくば市梅園1丁目1番4 工業技術院電子技術総合研究所内

(72)発明者 永井 清子

茨城県つくば市梅園1丁目1番4 工業技術院電子技術総合研究所内

(72)発明者 関川 敏弘

茨城県つくば市梅園1丁目1番4 工業技術院電子技術総合研究所内

(72)発明者 福田 審司

茨城県つくば市梅園1丁目1番4 工業技術院電子技術総合研究所内

Fターム(参考) SF040 DA00 DC02 EC10 FC00
SF058 BA11 BA20 BB10 BD01 BD04
BD10 BH01 BH20

